

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-54794

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 33/00

H 0 1 L 33/00

C

21/205

21/205

H 0 1 S 3/18

H 0 1 S 3/18

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平9-202772

(22) 出願日 平成9年(1997) 7月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 弓削 省三

神奈川県川崎市幸区堀川町72番地 株式会

社東芝川崎事業所内

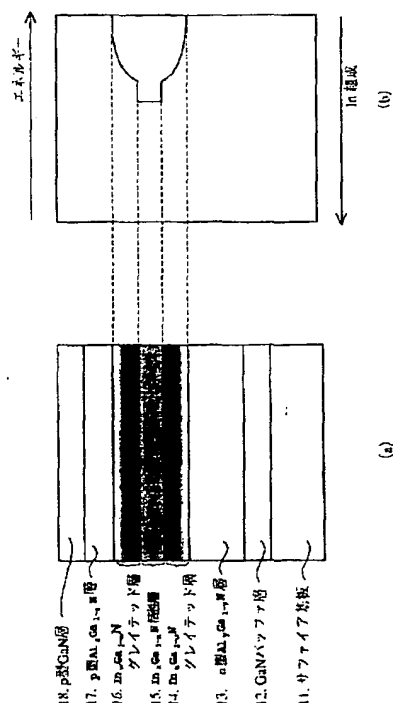
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 化合物半導体素子及びその製造方法

(57) 【要約】

【課題】 発光効率、信頼性が非常に高い発光素子及びレーザ素子の提供

【解決手段】 発光素子において、InGa_N 活性層15とAlGa_N クラッド層13、17 の間に、In組成が徐々に変化するInGa_N グレイテッド層14、16 を形成する。この形成にあたっては、In原料とその他の二属原料の供給量またはこれらの比を一定にしたまま、温度を昇温または降温することによってIn組成を徐々に変化させる。これにより、発光効率、信頼性が非常に高い発光素子及びレーザ素子を再現性良く形成できる。



【特許請求の範囲】

【請求項1】 $\text{Al}_y \text{Ga}_{1-y} \text{N}$ クラッド層 ($0 \leq y \leq 1$) と、前記 $\text{Al}_y \text{Ga}_{1-y} \text{N}$ クラッド層上に形成されたIn組成比が徐々に増加する $\text{In}_u \text{Ga}_{1-u} \text{N}$ グレイテッド層 ($0 \leq u \leq 1$) と、前記 $\text{In}_u \text{Ga}_{1-u} \text{N}$ グレイテッド層上に形成された $\text{In}_x \text{Ga}_{1-x} \text{N}$ 活性層 ($0 \leq x \leq 1$) と、前記 $\text{In}_x \text{Ga}_{1-x} \text{N}$ 活性層上に形成されたIn組成比が徐々に減少する $\text{In}_w \text{Ga}_{1-w} \text{N}$ グレイテッド層 ($0 \leq w \leq 1$) と、前記 $\text{In}_w \text{Ga}_{1-w} \text{N}$ グレイテッド層上に形成された $\text{Al}_z \text{Ga}_{1-z} \text{N}$ クラッド層 ($0 \leq z \leq 1$) とを有することを特徴とする化合物半導体素子。

【請求項2】 Inを含む化合物半導体混晶を形成する方法において、In原料とその他の二属原料の供給量またはこれらの比を一定にしたまま、温度を昇温または降温することによってIn組成を徐々に変化させることを特徴とする化合物半導体素子の製造方法。

【請求項3】 前記請求項2記載の化合物半導体素子の製造方法において、V族原料を更に使用し、降温過程ではIII族原料に対するV族原料のモル比 (V/III 比) を一定の量を限度として徐々に減少し、昇温過程においては前記III族原料に対するV族原料のモル比 (V/III 比) を一定の量を限度として徐々に増大することを特徴とする化合物半導体素子の製造方法。

【請求項4】 前記請求項3記載の化合物半導体素子の製造方法において、前記V族原料ガスの種類、及び最低の V/III 比は、窒素の場合、5000りんの場合、150砒素の場合、50であることを特徴とする化合物半導体素子の製造方法。

【請求項5】 サファイア基板上に、温度 T_1 で第一導電型の $\text{Al}_y \text{Ga}_{1-y} \text{N}$ クラッド層 ($0 \leq y \leq 1$) を形成する第一の工程と、

この第一導電型の $\text{Al}_y \text{Ga}_{1-y} \text{N}$ クラッド層上に、Ga原料とIn原料の供給量、または比を実質上一定にした状態で、基板を温度 T_1 から T_2 に昇温することによりIn組成を徐々に増加させた $\text{In}_u \text{Ga}_{1-u} \text{N}$ グレイテッド層 ($0 \leq u \leq 1$) を形成する第二の工程と、

$\text{In}_u \text{Ga}_{1-u} \text{N}$ グレイテッド層を形成した後、基板を温度 T_2 から T_3 まで降温する第三の工程と、

一定の温度 T_3 で $\text{In}_x \text{Ga}_{1-x} \text{N}$ 活性層を成長する第四の工程と、

この $\text{In}_x \text{Ga}_{1-x} \text{N}$ 活性層を成長した後、温度 T_3 から T_4 に昇温する第五の工程と、Ga源ガス及びIn源ガスの供給量、若しくはGa源ガス及びIn源ガスの比を実質上一定にした状態で、基板を温度 T_4 から T_5 まで昇温することによりIn組成を徐々に減少させた $\text{In}_w \text{Ga}_{1-w} \text{N}$ グレイテッド層 ($0 \leq w \leq 1$) を形成する第六の工程と、

一定の温度 T_5 で、前記 $\text{In}_w \text{Ga}_{1-w} \text{N}$ グレイテッド層上に第二導電型の $\text{Al}_z \text{Ga}_{1-z} \text{N}$ クラッド層 ($0 \leq z \leq 1$) を形成する第七の工程とを有し、

$x \leq u, x \leq w$

$T_3 \leq T_2 < T_1, T_3 \leq T_4 < T_5$

とすることを特徴とする化合物半導体素子の製造方法。

【請求項6】 前記請求項5記載の化合物半導体素子の製造方法において、

前記第二の工程で、In原料とGa原料を供給せずに降温だけをしたことを特徴とする化合物半導体素子の製造方法。

【請求項7】 前記請求項5記載の化合物半導体素子の製造方法において、

第二の工程の昇温時の温度勾配を D_1 、第四の工程の降温時の温度勾配を D_2 とした場合、 D_1 と D_2 の範囲は $10 [^\circ\text{C}/\text{分}] \leq D_1, D_2 \leq 60 [^\circ\text{C}/\text{分}]$ 、であることを特徴とする化合物半導体素子の製造方法。

【請求項8】 前記請求項5記載の化合物半導体素子の製造方法において、第二の工程のグレイテッド層の成長速度を V_1 、昇温時の温度勾配を D_1 、第四の工程のグレイテッド層の成長速度、降温時の温度勾配を D_2 とした場合、 $0.002 [\mu\text{m}/\text{分}] \leq V_1, V_2 \leq 0.006 [\mu\text{m}/\text{分}]$ の範囲にある時 $6 [^\circ\text{C}/\text{分}] \leq D_1, D_2 \leq 18 [^\circ\text{C}/\text{分}]$ 、であることを特徴とする化合物半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、表示灯、フルカラーディスプレイ、DVD (Digital Video Disk) 用の光源等を使用されるGaN系半導体素子の製造方法に関する。

【0002】

【従来の技術】 青色ダイオード、青色レーザダイオード等を使用される半導体材料としてGaN系化合物半導体は実用的であり、中でも $\text{In}_x \text{Ga}_{1-x} \text{N}$ はIn組成比 x を変化させることにより、バンドギャップを $2\text{eV} \sim 3.4\text{eV}$ に変えられるため、可視領域で発光する発光素子を製造する材料として、非常に注目されている。

【0003】 さらに、この $\text{In}_x \text{Ga}_{1-x} \text{N}$ 層を用いたダブルヘテロ構造、例えばAlGaIn層で $\text{In}_x \text{Ga}_{1-x} \text{N}$ 層を挟んだ構造は、注入キャリアの閉込めや光の閉込めに有効であるため、高輝度或いは短波長発光用の発光素子を製造する構造として採用されている。

【0004】 以下、InGaIn層を活性層とするダブルヘテロ構造の半導体発光素子、及びその製造方法を説明する。

図11は、InGaIn層を活性層、AlGaIn層をクラッド層とするダブルヘテロ構造の半導体発光素子の概略断面図である。図12乃至図15は、図11に示した半導体発光素子の従来の製造工程を示す概略断面図である。

【0005】 図11のように、サファイア基板21上に順に、GaInバッファ層22、n型 $\text{Al}_y \text{Ga}_{1-y} \text{N}$ クラッド層23 ($0 \leq y \leq 1$)、 $\text{In}_x \text{Ga}_{1-x} \text{N}$ 活性層25 ($0 \leq x \leq 1$)、p型 $\text{Al}_z \text{Ga}_{1-z} \text{N}$ クラッド層27 ($0 \leq z \leq 1$)、p型GaIn層28が形成されている。これらの層は、一般にMOCVD (有機金属相成長法) を用いて以下のように製造されている。

【0006】 尚、便宜上サファイア基板21を基板21とよ

10

20

30

40

50

び、各層における組成比 X, Y, Z 等の表示は省略する。MO CVD 装置に基板21を導入し、水素フローさせた状態で基板21を1100℃で10分間アニールする。続いて、基板21を520℃まで降温した後、基板21の表面にGaNバッファ層22を50nm成長させる(図12(a)参照)。

【0007】次に、基板21を1100℃まで昇温した後、1100℃一定のもと n 型AlGaIn クラッド層23を4 μ m成長させる(図12(b)参照)。その後、基板21を750℃まで降温し、750℃一定のもとInGaIn 活性層25を0.1 μ m 成長させる(図12(c)参照)。

【0008】そして、基板201を1100℃まで昇温した後、1100℃一定のもと p 型AlGaIn クラッド層25を0.15 μ m、その表面に p 型AlGaIn クラッド層27を0.3 μ m成長させ、ダブルヘテロ構造の発光素子を形成していた(図12(d)参照)。

【0009】

【発明が解決しようとする課題】上記クラッド層23、27の成長は、InGaIn 活性層25の成長温度より200～350℃高い温度(約1000℃)で行う必要がある。つまりInGaIn 活性層25の成長前・後において、基板21の昇・降温が必要であった。しかし、GaNの融点は約1000℃、InNの融点は約500℃のため、次のような問題が生じていた。

【0010】1. 昇温過程で、InGaIn 活性層25中のInNの分解が発生する。これに対しGaNは非常に分解されにくいいため、InGaIn 活性層25の一部がGaNにかわり、InGaIn 活性層25の結晶性が低下する。

【0011】2. 昇温過程で、InGaIn におけるInNの分解が発生するため、InGaIn 活性層25自体の膜厚が減少する。

3. 昇温過程では上記1・2が発生し、降温過程では所望In組成でないInGaIn活性層25が成長しうる。よって昇降温過程で、InGaIn 活性層25とのヘテロ界面が良好に保たれない。

【0012】このヘテロ界面及びInGaIn 活性層25の結晶性の劣化は、発光素子においては発光効率低下、レーザ素子においてはしきい値上昇をもたらす。また、InGaIn 活性層25の膜厚減少は、所望膜厚に制御することの困難さをまねき、発光素子、レーザ素子の特性・信頼性の低下を招いていた。

【0013】そこで本発明は、活性層とのヘテロ界面、活性層の結晶性・膜厚を良好に保持したSCH構造(Separate confinement hetero-structure)を再現性よく実現することにより、発光効率・信頼性の高い化合物半導体発光素子、又は微分効率・信頼性の高いレーザ素子を提供することを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するため、本発明の化合物半導体素子は、 $Al_y Ga_{1-y} N$ クラッド層($0 \leq y \leq 1$)と、前記 $Al_y Ga_{1-y} N$ クラッド層上に形成されたIn組成比が徐々に増加する $In_u Ga_{1-u} N$ グレ

イテッド層($0 \leq u \leq 1$)と、前記 $In_u Ga_{1-u} N$ グレイテッド層上に形成された $In_x Ga_{1-x} N$ 活性層($0 \leq x \leq 1$)と、前記 $In_x Ga_{1-x} N$ 活性層上に形成されたIn組成比が徐々に減少する $In_w Ga_{1-w} N$ グレイテッド層($0 \leq w \leq 1$)と、前記 $In_w Ga_{1-w} N$ グレイテッド層上に形成された $Al_z Ga_{1-z} N$ クラッド層($0 \leq z \leq 1$)とを有することを特徴とする。

【0015】尚、本発明の化合物半導体素子の製造方法では、Inを含む化合物半導体混晶を形成する方法において、In原料とその他のIII 族原料の供給量またはこれらの比を一定にしたまま、温度を昇温または降温することによってIn組成を徐々に変化させることを特徴とするの製造方法。

【0016】尚、V族原料を更に使用する場合には、降温過程ではIII 族原料に対するV族原料のモル比(V/III 比)を一定の量を限度として徐々に減少し、昇温過程においては前記III 族原料に対するV族原料のモル比(V/III 比)を一定の量を限度として徐々に増大することを特徴とする。

【0017】前記V族原料ガスの種類、及び最低のV/III 比は、窒素の場合5000、りんの場合150、砒素の場合、50となる。また、本発明の化合物半導体素子の製造方法では、サファイア基板上に、温度T1で第一導電型の $Al_y Ga_{1-y} N$ クラッド層($0 \leq y \leq 1$)を形成する第一の工程と、この第一導電型の $Al_y Ga_{1-y} N$ クラッド層上に、Ga原料とIn原料の供給量、または比を実質上一定にした状態で、基板を温度T1からT2に昇温することによりIn組成を徐々に増加させた $In_u Ga_{1-u} N$ グレイテッド層($0 \leq u \leq 1$)を形成する第二の工程と、 $In_u Ga_{1-u} N$ グレイテッド層を形成した後、基板を温度T2からT3まで降温する第三の工程と、一定の温度T3で $In_x Ga_{1-x} N$ 活性層を成長する第四の工程と、この $In_x Ga_{1-x} N$ 活性層を成長した後、温度T3からT4に昇温する第五の工程と、Ga源ガス及びIn源ガスの供給量、若しくはGa源ガス及びIn源ガスの比を実質上一定にした状態で、基板を温度T4からT5まで昇温することによりIn組成を徐々に減少させた $In_w Ga_{1-w} N$ グレイテッド層($0 \leq w \leq 1$)を形成する第六の工程と、一定の温度T5で、前記 $In_w Ga_{1-w} N$ グレイテッド層上に第二導電型の $Al_z Ga_{1-z} N$ クラッド層($0 \leq z \leq 1$)を形成する第七の工程とを有し、 $x \leq u$, $x \leq w$, $T3 \leq T2 < T1$, $T3 \leq T4 < T5$ とすることを特徴とする。

【0018】尚、第二の工程で、In原料とGa原料を供給せずに降温だけをしてよい。尚、第二の工程の昇温時の温度勾配をD1、第四の工程の降温時の温度勾配をD2とした場合、D1とD2の範囲は $10[^\circ\text{C}/\text{分}] \leq D1, D2 \leq 60[^\circ\text{C}/\text{分}]$ であることを特徴とする。

【0019】尚、第二の工程のグレイテッド層の成長速度をV1、昇温時の温度勾配をD1、第四の工程のグレイテッド層の成長速度、降温時の温度勾配をD2とした場合、

002 [$\mu\text{m}/\text{分}$] $\leq V1$, $V2 \leq 0.006 [\mu\text{m}/\text{分}]$ の範囲にある時、 $6 [^\circ\text{C}/\text{分}] \leq D1$, $D2 \leq 18 [^\circ\text{C}/\text{分}]$ であることを特徴とする。

【0020】

【発明の実施の形態】以下、図面を参照して本発明の半導体発光素子を説明する。図1(a)及び(b)は各々、本発明の実施例にかかる半導体発光素子、素子中のIn組成・エネルギーギャップを相対的に表した図である。図2乃至図7は、本発明の実施例にかかる半導体発光素子の製造方法を示す断面図である。

【0021】本実施例における化合物半導体発光素子は、サファイア基板11上に順に、GaNバッファ層12、n型 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ クラッド層13($0 \leq y \leq 1$)、 $\text{In}_u\text{Ga}_{1-u}\text{N}$ グレイテッド層14($0 \leq u \leq 1$)、 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 活性層15、 $\text{In}_w\text{Ga}_{1-w}\text{N}$ グレイテッド層16($0 \leq w \leq 1$)、p型 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ クラッド層17($0 \leq z \leq 1$)、p型GaN層18が形成されている(図1(a)参照)。

【0022】 $\text{In}_u\text{Ga}_{1-u}\text{N}$ グレイテッド層14、及び $\text{In}_w\text{Ga}_{1-w}\text{N}$ グレイテッド層16は、 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 活性層15に近いほどIn組成が高くなり、そのIn組成の変化の割合は実質上同じである。また、これらグレイテッド層14、15に比べ、 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 活性層15のIn組成は高い(図1(b)参照)。

【0023】尚、図1～図7において、グレイテッド層14、15における色の濃淡は、濃い程In組成の高さを示しているが、 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 活性層15については、In組成の高さを示していない。

【0024】上述したように、本発明の化合物半導体素子では、InGaN活性層15とp型、n型AlGaN層13、17の間に、In組成が徐々に変化する(グレイテッド組成をもつ)InGaNグレイテッド層を形成している。このため、p型、n型AlGaN層13、17とのヘテロ界面を良好に保ことができる。また、AlGaN層とInGaNグレイテッド層とのヘテロ界面において、In組成を制御し、2つの層の不整合性を低下させ、接合における伝導バンドと価電子バンドのずれを制御し、界面でのトラップを減少させることができる。よって、効率よく電子と正孔を活性層に閉じ込め、発光効率を向上できる。すなわち、本発明によれば、従来より発光効率・信頼性の高い化合物半導体発光素子、又は微分効率・信頼性の高いレーザ素子を得ることができる。

【0025】次に、本発明の第一の実施例にかかる半導体発光素子の製造方法を図面を用いて説明する。尚、用いる原料ガスは、窒素原料ガスとしてアンモニア(NH_3)、In原料ガスとしてトリメチルインジウム(TMI)、Ga原料ガスとしてトリメチルガリウム(TMG)、Al原料ガスとしてトリメチルアルミニウム(TMA)、 Cp_2Mg 、キャリアガスは水素及び窒素である。流量は $\text{NH}_3 = 5 \text{ L/Min}$ 、キャリアガスは15～25L/Min.である。各層の成長方法は、MOCVD法を用いている。

【0026】最初に、MOCVD装置にサファイア基板11を導入し、水素フローさせた状態でサファイア基板11を1100℃で10分間アニールする。続いて、サファイア基板11を520℃まで降温した後、サファイア基板11の表面にGaNバッファ層12を50nm成長させる(図2参照)。

【0027】次に、サファイア基板11を1100℃まで昇温した後、1100℃一定のもとn型 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ クラッド層13を4 μm 成長させる(図3参照)。そして、 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 活性層15が成長できる温度(例えば、700℃～800℃)にした後、温度一定の下、InとGaの原料ガスの供給量を変えることにより、In組成の増加していく $\text{In}_u\text{Ga}_{1-u}\text{N}$ グレイテッド層14を形成する(図4参照)。

【0028】この後、温度一定のもと $\text{In}_x\text{Ga}_{1-x}\text{N}$ 活性層15を0.1 μm 成長させる(図5参照)。続いて、温度一定の下、InとGaの原料ガスの供給量を変え、In組成の減少していく $\text{In}_w\text{Ga}_{1-w}\text{N}$ グレイテッド層16を形成する(図6参照)。そして、p型 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ クラッド層17、p型GaN層18を形成する(図7参照)。そして図示せぬ、p型電極・n型電極を形成し、サファイア基板の裏面をラップし、ダイシングを行いペレットを作製した後、これを樹脂でモールドすることにより、半導体発光素子が得られる。

【0029】図8はInGaN活性層におけるIn組成と、原料ガスとの関係を示した図である。横軸はInGaN活性層の形成のために用いた原料ガスにおけるIn原料ガス比($\text{TMI}/(\text{TMI}+\text{TMG})$)、縦軸はInGaN活性層におけるIn組成を示す。この図より、原料ガス中におけるIn原料ガス比によって、In組成を変化できることがわかる。第一の実施例では、この性質を利用し、In組成を徐々に変化したグレイテッド層14、16を形成している。

【0030】以上より、第一の実施例によれば、ダブルヘテロ構造界面での成膜中断あるいは再昇温による界面の劣化もしくは昇温温度によるInGaN活性層15の膜厚の減少を克服できる。そして、発光効率・信頼性の高い化合物半導体発光素子、又は微分効率・信頼性の高いレーザ素子を作成することができる。

【0031】次に第二の実施例にかかる、化合物半導体素子の製造方法を説明する。最初に、MOCVD装置にサファイア基板11を導入し、水素フローさせた状態で、(0001)面サファイア基板11を1100℃で10分間アニールし、サファイア基板11のクリーニングを行う。続いて、サファイア基板11を、水素と窒素の混合雰囲気にて520℃まで降温した後、サファイア基板11の表面にGaNバッファ層12を0.04 μm 成長させる(図2参照)。

【0032】次に、サファイア基板11を1100℃まで昇温した後、1100℃一定の下、GaNバッファ層12表面にn型 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ クラッド層13を4 μm 成長させる(図3参照)。この後、 $\text{TMI}/\text{TMG} = 33.36 \mu\text{mol}/15.20 \mu\text{mol}$ を一定にしたままサファイア基板11を800℃まで降温さ

せることにより、In組成が徐々に高くなる $\text{In}_u\text{Ga}_{1-u}\text{N}$ グレイテッド層14をn型 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ クラッド層13表面に $0.1\text{ }\mu\text{m}$ 成長させる(図4参照)。

【0033】尚、降温の勾配は $13\pm 2\text{ }^\circ\text{C}/\text{min.}$ でPID制御にて行う。所用時間は約23min.である。続いてTMIとTMGの供給を停止し、サファイア基板11を $800\text{ }^\circ\text{C}$ から $750\text{ }^\circ\text{C}$ に降温させる。 $750\text{ }^\circ\text{C}$ 一定の下、 $\text{TMI}/\text{TMG}=33.36\text{ }\mu\text{mol}/15.20\text{ }\mu\text{mol}$ と上記値と同じにし、 $\text{In}_u\text{Ga}_{1-u}\text{N}$ グレイテッド層14表面に $\text{In}_x\text{Ga}_{1-x}\text{N}$ 活性層15を $0.05\text{ }\mu\text{m}$ 成長させる(図5参照)。この活性層15の成長所用時間は約15分である。

【0034】次に、TMIとTMGの供給を停止し、サファイア基板11を $750\text{ }^\circ\text{C}$ から $800\text{ }^\circ\text{C}$ に昇温させる。そして、 $\text{TMI}/\text{TMG}=33.36\text{ }\mu\text{mol}/15.20\text{ }\mu\text{mol}$ と一定にしたまま、サファイア基板11を $1100\text{ }^\circ\text{C}$ まで昇温させることにより、In組成が徐々に低くなる $\text{In}_w\text{Ga}_{1-w}\text{N}$ グレイテッド層16を $\text{In}_x\text{Ga}_{1-x}\text{N}$ 活性層15表面に $0.1\text{ }\mu\text{m}$ 成長させる(図6参照)。尚、降温の勾配は $14\pm 2\text{ }^\circ\text{C}/\text{min.}$ でPID制御にて行う。所用時間は約21min.である。

【0035】この後、TMIとTMGの供給を停止し、 $1100\text{ }^\circ\text{C}$ 一定の下、 $\text{In}_w\text{Ga}_{1-w}\text{N}$ グレイテッド層16上に順に、p型 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ クラッド層17を $0.15\text{ }\mu\text{m}$ 、p型GaN層18を $0.3\text{ }\mu\text{m}$ 成長させる。(図7参照)。

【0036】そしてp型電極、n型電極を形成し、サファイア基板の裏面をラップし、ダイシングを行いペレットを作製した後、これを樹脂でモールドすることにより、半導体発光素子が得られる。

【0037】ここで、第二の実施例の特徴を以下にまとめておく。図9は本実施例の製造工程の特徴を示した図である。

1. TMI/TMGを一定にした状態で、昇降温することにより、In組成が所望グレイテッドに変化するInGaNグレイテッド層を形成することに特徴がある。

【0038】例えば、InGaNグレイテッド層の形成にあたり、InGaN活性層15下の場合はTMI/TMGを一定にして降温し、InGaN活性層15上の場合はTMI/TMGを一定にして昇温している。

2. InGaN活性層15の形成直前に、 $\text{TMI}=\text{TMG}=0$ にしてInGaN活性層15の成長開始温度に降温している。またInGaN活性層15上のグレイテッド層16形成直前に、 $\text{TMI}=\text{TMG}=0$ にしてグレイテッド層16の成長開始温度に上昇することも特徴として挙げられる。

【0039】この特徴より得られる作用を以下に説明する。図10はInGaN層のIn組成と成長温度との関係を示した図である。図11はInGaN層の成長速度の温度依存性を示した図である。双方とも $\text{TMI}/\text{TMG}=33.36\text{ }\mu\text{mol}/15.20\text{ }\mu\text{mol}$ 使用時におけるデータである。TMI, TMGを一定量にした状態では、InGaN層のIn組成は成長温度に対して線形に変化し、その変化は成長温度が低いほどIn組成が高くなる関係になっている(図10参照)。また、本

実施例の原料ガスを用いた場合、InGaN層の成長速度は、TMGの供給量のみ依存し、成長温度にほとんど依存しない(図11参照)。

【0040】すなわち、上記1、2の特徴に対応させると次の作用がある。

1. 所望膜厚、In組成のInGaNグレイテッド層を形成できる。

2. 不要なInGaNグレイテッド層の成長は防止できる。

【0041】(ヘテロ界面を良好に保てる。)よって、第二の実施例によれば、ダブルヘテロ構造界面での成膜中断あるいは再昇温による界面の劣化もしくは昇温温度によるInGaN活性層15の膜厚の減少を克服できるのみにならず、温度を変化させるだけで制御性に優れたSCH構造が容易に再現性よく制作できる。

【0042】特に、第一の実施例よりも、InGaNグレイテッド層14、17におけるIn組成を、高度に制御できるため、第一の実施例より更に発光効率の高く、信頼性の高い発光素子及びレーザ素子を形成できる。

【0043】尚、第二の実施例において好ましい条件を以下に記す。V族ガスが窒素の場合、V族原料ガス/III族原料ガス比(V/III比とおく)は、5000以上が好ましい。またりんの場合は、150以上、砒素の場合は50以上が好ましい。降温時の温度勾配をD1、昇温時の温度勾配をD2とした場合、 $10[^\circ\text{C}/\text{分}] \leq D1$, $D2 \leq 60[^\circ\text{C}/\text{分}]$, であることが好ましい。

【0044】また降温時のグレイテッド層の成長速度をV1、昇温時のグレイテッド層の成長速度をV2とした場合、 $0.002[\text{ }\mu\text{m}/\text{分}] \leq V1$, $V2 \leq 0.006[\text{ }\mu\text{m}/\text{分}]$ の範囲にある時 $6[^\circ\text{C}/\text{分}] \leq D1$, $D2 \leq 18[^\circ\text{C}/\text{分}]$, であることが好ましい。

【0045】尚、第一及び第二の実施例では、InGaNグレイテッド層14、16におけるIn組成比は、InGaN活性層15に対して対象構造となっているが、昇温または降温の温度勾配をそれぞれ変えた製造方法等により、非対象構造も作成できる。例えば、昇温工程・降温工程、それぞれにおける温度勾配・原料ガスの量(又はモル比)を適宜選択することにより、対象構造、非対象構造、どちらをも製造することができる。

【0046】また、 NH_3 とIII族原料ガスのモル比は一定としたが、降温時に NH_3 を現状の5L/Mより多い量から5L/Mへ徐々に減らすことにより、昇温時には5L/Mより多い量へ徐々に増やすことにより、結晶性のさらに良好なInGaNグレイテッド層14、16を得ることができる。

【0047】また、第一及び第二の実施例ではInを含む窒化物半導体発光素子を例としたが、電子デバイスにも適用できる。また、V族原料にPまたは、As系を用いたInを含む化合物半導体の光デバイスのみならず、電子デバイスにも適用できることはもちろんである。

【0048】また、AlGaIn層13、17に不純物をドーブし発光効率向上、しきい値電流の激減を図っているが、ア

ンドープ（意図的にドープしないことを示すが、 $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-3}$ 程度の残留不純物があってもかまわない）でも、本願の効果は得られる。

【0049】サファイア基板11に限定されず、表面にバッファ層を形成すれば、ZnS、GaSe、 SnO_2 、CuAlS₂、CuCl、CuAlSe₂、 In_2O_3 、ZnO、MgO、石英ガラス等を用いた絶縁性基板を用いることもできる。

【0050】電極材料には、例えばMg、Be、Sb、Al、Ag、Sn、Cu、Ni、Au、Pd、Pt、Ti、Cr、In、PdSi、PtSi、RhSi、NiSi、WSi、TaSi₂、Mo、Zr、又はこれらの積層膜、銀ペースト等、接着を含んだ金属を用いることができる。

【0051】

【発明の効果】本発明は、上述のように構成されているので、ダブルヘテロ構造界面での成膜中断あるいは再昇温による界面の劣化もしくは昇温温度によるInGa_xN活性層の膜厚の減少を克服できるのみにならず、制御性に優れたSCH構造が容易に再現性よく制作できる。よって、発光効率、信頼性が非常に高い発光素子及びレーザ素子を再現性良く形成できる。

【図面の簡単な説明】

【図1】(a)は本発明の実施例にかかる半導体発光素子、(b)は素子中のIn組成・エネルギーギャップを相対的に表した図である。

【図2】本発明の半導体発光素子の製造方法を示す断面図である。

【図3】本発明の半導体発光素子の製造方法を示す断面図である。

【図4】本発明の半導体発光素子の製造方法を示す断面図である。

【図5】本発明の半導体発光素子の製造方法を示す断面図である。

【図6】本発明の半導体発光素子の製造方法を示す断面図である。

【図7】本発明の半導体発光素子の製造方法を示す断面図である。

【図8】InGa_xN活性層におけるIn組成と、原料ガスとの関係を示した図である。

【図9】本発明の半導体発光素子の製造方法の特徴を説明するための図である。

【図10】InGa_xN層のIn組成と成長温度との関係を示した図である。

【図11】InGa_xN層の成長速度の温度依存性を示した図である。

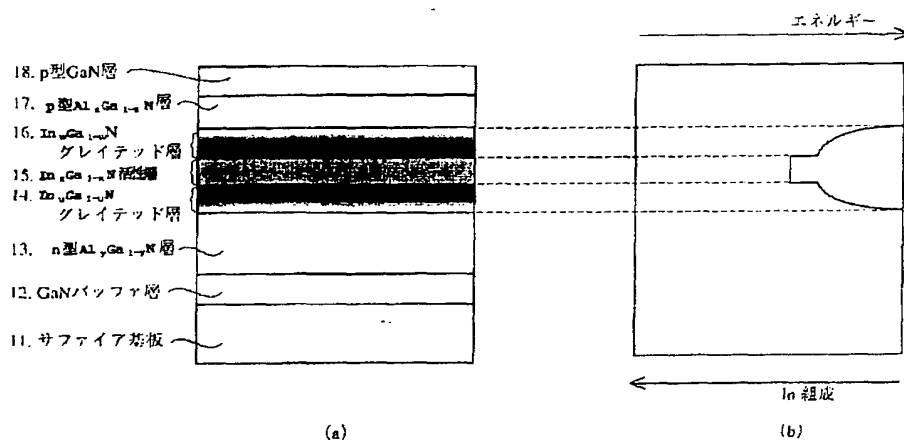
【図12】InGa_xN層を活性層、AlGa_xN層をクラッド層とするダブルヘテロ構造の半導体発光素子の概略断面図。

【図13】(a)乃至(d)は、図12に示した従来の半導体発光素子の製造工程を示す概略断面図である。

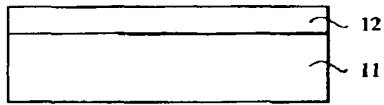
【符号の説明】

- 11 サファイア基板
- 12 GaN バッファ層
- 20 13 n型Al_yGa_{1-y}N クラッド層
- 14 In_uGa_{1-u}N グレイテッド層
- 15 In_xGa_{1-x}N 活性層
- 16 In_wGa_{1-w}N グレイテッド層
- 17 p型Al_zGa_{1-z}N クラッド層
- 18 p型GaN層
- 21 サファイア基板
- 22 GaN バッファ層
- 23 n型Al_yGa_{1-y}N クラッド層
- 25 In_xGa_{1-x}N 活性層
- 30 27 p型Al_zGa_{1-z}N クラッド層
- 28 p型GaN層

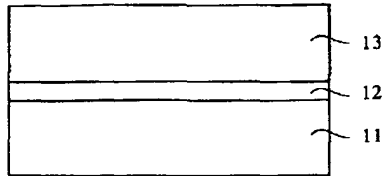
【図1】



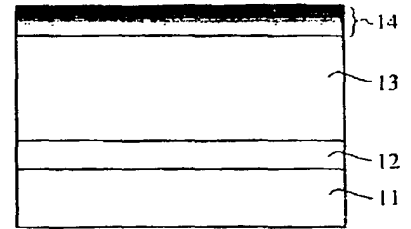
【図2】



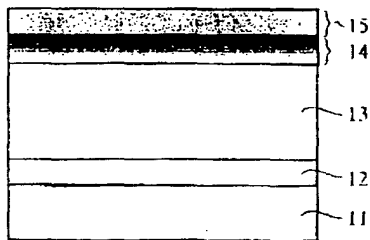
【図3】



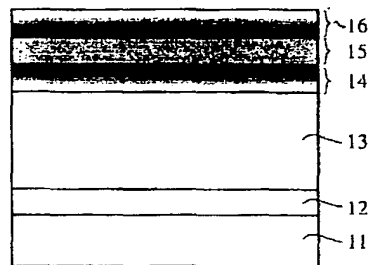
【図4】



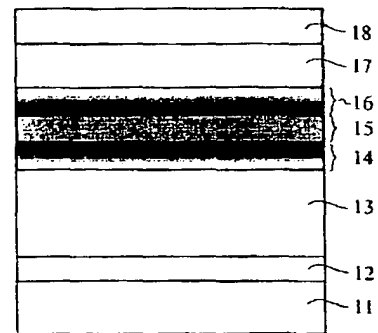
【図5】



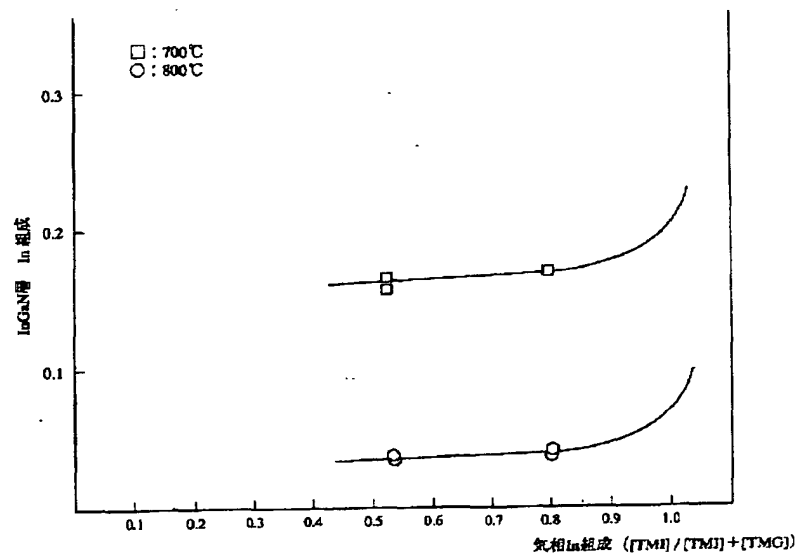
【図6】



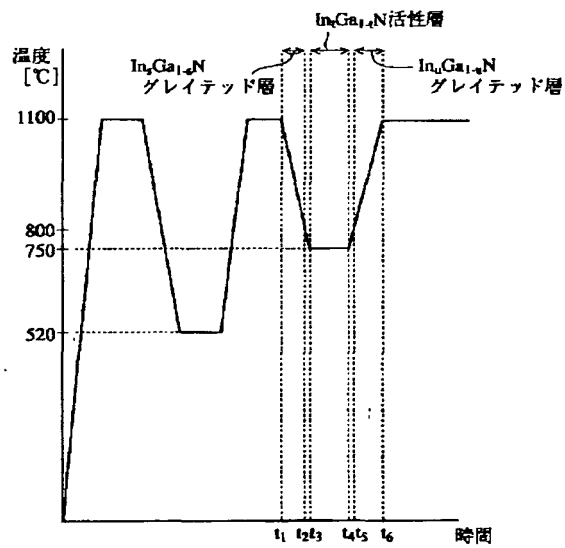
【図7】



【図8】

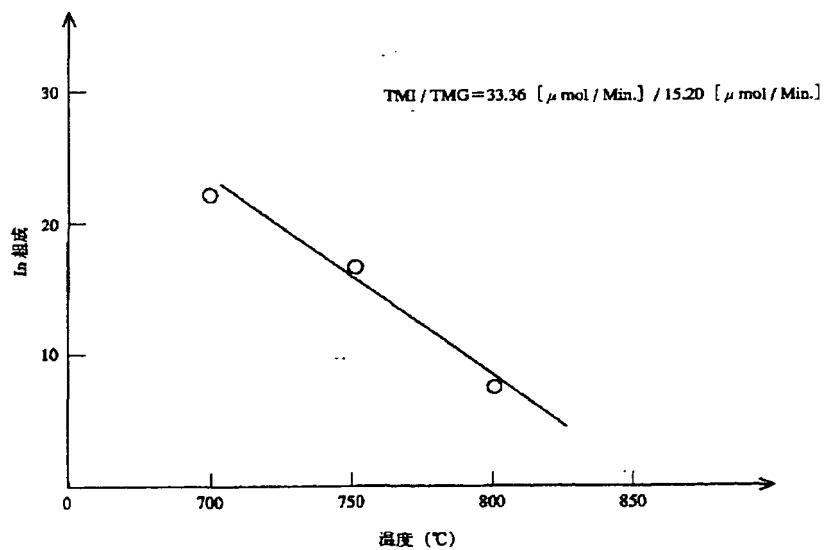


【図9】

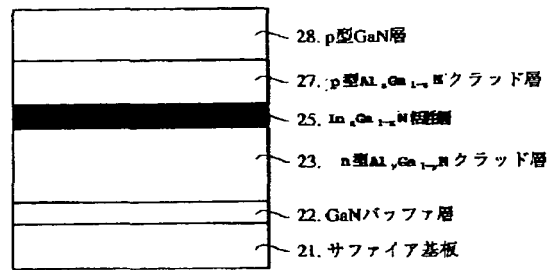


$t_1 \sim t_2$: $\text{TMI} / \text{TMG} = C_0$
 $t_2 \sim t_3$: $\text{TMI} = \text{TMG} = 0$
 $t_3 \sim t_4$: $\text{TMI} / \text{TMG} = C_0$
 $t_4 \sim t_5$: $\text{TMI} = \text{TMG} = 0$
 $t_5 \sim t_6$: $\text{TMI} / \text{TMG} = C_0$

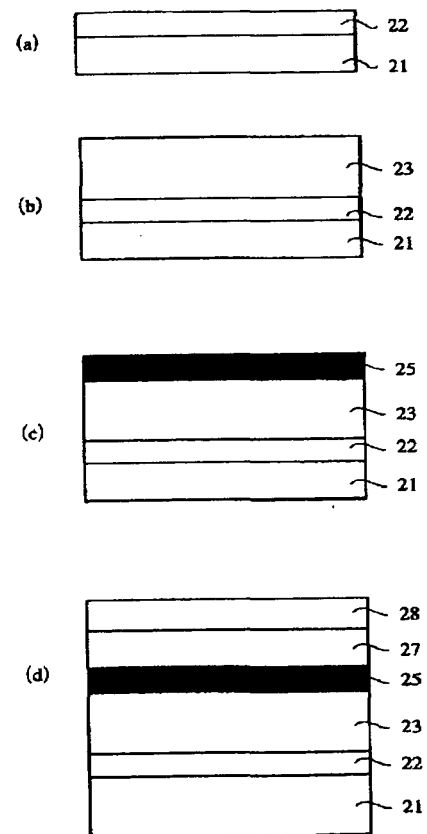
【図10】



【図12】



【図13】



【図 11】

